

Kisfogyasztású CMOS logikai áramkörök vizsgálata és tervezési eljárásuk kidolgozása

Ph.D értekezés tézisei

Varga László

okl. villamosmérnök

Témavezető:

Dr. Hosszú Gábor

egyetemi docens

a műszaki tudomány kandidátusa

Budapest, 2009.

1 Bevezetés

Az igen nagy bonyolultságú integrált áramkörök (VLSI) teljesítményfelvétele az eszközméretetek csökkenéséből adódó nagyobb alkatrészsűrűség és gyorsabb működési sebesség kihasználásával egyre jelentősebb tényezővé válik. A félvezetőlapka teljesítményfelvétele, és az ezzel együtt járó melegekedése meghatározza mind az áramkör megbízhatóságát, mind az élettartamát [Mark, 2006]. Mindez arra kényszeríti a tervezőket, hogy csökkentsék az áramkörök teljesítményfelvételét, és így az ezzel együtt járó melegekedést is, ami által elkerülhetővé válik a jó hővezető – azonban drága – integrált áramköri tokok és az egyéb, hűtést segítő eszközök használata [Pedram, 1996]. A kislevegyszású áramkörök iránti igény csak tovább fokozódik a hordozható eszközök terjedésével, ahol a telep élettartama döntő fontosságú. Mindez azt eredményezte, hogy manapság a kis fogyasztás már nem kevésbé fontos tervezési szempont, mint a teljesítőképesség vagy a félvezetőlapka területe [Brodersen, 1991].

A kis fogyasztásra való törekvésnek legjobban megtérülő módja a teljesítményfelvételi követelmények figyelembe vétele már a tervezéskor. Ezt lehetővé teszi az, hogy a digitális rendszertervezés valamennyi szintjén létezik a teljesítményfelvétel csökkentésére irányuló módszer, a rendszerszinttől egészen az eszközszintig. A kis fogyasztású áramkörök megvalósításának lehetőségei igen sokrétűek, ugyanakkor sajnos, az egyes módszereknek nagyon is jól látható korlátaik vannak. Ezért a lehetséges megoldásokat a kívánt cél elérése érdekében rendszerint keverten alkalmazzák. A digitális technikában általánosan alkalmazott statikus CMOS kapcsolások teljesítményfelvételének csökkentésére irányuló eljárások azonban így sem hoztak átütő eredményt.

A fentiek alapján a teljesítményfelvétel nagyságrendekkel való csökkentéséhez alapvetően új megoldásra van szükség; egy ilyen lehetőség az utóbbi években előtérbe került, adiabatikus elven működő és töltésvisszanyerő (retractile) áramkörök alkalmazása. Ezen áramkörök energiahatékonyságát két tényező adja, egyrészt az ohmos veszteségek lecsökkentése, másrészt a betáplált energia nagy részének ismételt felhasználása. Az adiabatikus töltési elv a következőket mondja ki [Koller, 1992]:

- a kombinációs logika energiafogyasztása tetszőlegesen alacsony lehet, ha az áramkört kellően lassan működtetjük,
- a tárolóelembe történő adatbeírás tetszőlegesen kis energiavesztéssel megvalósítható,
- egy tárolóelemben tárolt adat tetszőlegesen kis energiavesztés árán lemásolható,
- azonban a tárolt adat utolsó másolatának kitörléséhez elkerülhetetlenül szükséges egy véges, le nem csökkenthető energiamennyiség.

Sajnos az adiabatikus elven működő áramkörök alkalmazhatóságát döntően behatárolja az, hogy ezen áramkörök az energiahatékonyságukat a működési sebesség rovására érik el. Ezért az adiabatikus áramkörök elsősorban olyan esetekben használhatók előnyösen, ahol a kis fogyasztás sokkal fontosabb követelmény, mint a nagy működési sebesség. Ilyen alkalmazásokra példák a hordozható, telepes

berendezések, orvosi műszerek, emberi testbe beültetett gyógyászati szerkezetek, telemetriás rendszerek, intelligens telepes érzékelők és adatgyűjtők, stb.

A sebességből adódó probléma azonban mérsékelhető egyszerű felépítésű, nagy működési frekvencián is hatékony adiabatikus kapcsolásokkal, ezáltal az adiabatikus elven működő áramkörök alkalmazási területe növelhető. Mindezeken túl, az adiabatikus kapcsolások a statikus kapcsolásokhoz képest számos további előnnyel rendelkeznek, amelyek bizonyos esetekben döntőek lehetnek az adiabatikus kapcsolások alkalmazására nézve.

Az egyik ilyen fontos előny a keverten analóg és digitális jeleket is használó integrált áramkörökben teszi megfontolás tárgyává az adiabatikus áramkörök alkalmazását [32]. Ilyen integrált áramkörök tervezésekor a digitális részből az analóg részbe történő áthallás csökkentése komoly tervezési feladatot jelent, amely nagy odafigyelést és különleges technikák alkalmazását kívánja meg. Mivel az adiabatikus kapcsolások szinuszos jelekkel működnek, előnyösek az áthallás csökkentésében, mert nem keltenek olyan nagyfrekvenciás harmonikus zajokat, mint a négyszögjellel működő statikus társaik.

Az adiabatikus áramkörök másik jelentős előnye, hogy a felépítésükből adódó pipeline elvű működésnek köszönhetően átbocsátásuk a logikai mélységtől független. Ez az előny különösen a digitális jelfeldolgozásban jelentkezik, ahol a kétszintű pipeline elv előnyösen kihasználható az átbocsátás növeléséhez anélkül, hogy a statikus kapcsolásokban szokásosan alkalmazott külön pipeline regiszterekre szükség lenne [8]. Az átbocsátás növelése mellett négyfázisú kapcsolat alkalmazásával a lappangási idő is alacsonyan tartható, hiszen – szemben a kettő- vagy az egyfázisú kapcsolásokkal – itt egy órajel-ciklus alatt négy logikai fokozatot értékelünk ki.

További előnyei még az adiabatikus áramköröknek, hogy tervezésükkor nem jelentkeznek olyan nehézségek, amelynek kiküszöbölésére a statikus kapcsolásokban különös gondot kell fordítani. Ilyen például a házárd. A házárd adiabatikus logikákban ismeretlen, hiszen a logikai fokozatok vezérelt kiértékelése nem teszi lehetővé semelyik két jel között sem a versenyhelyzet kialakulását. Ugyancsak nem jelent gondot az egyidejű jelváltozás, annak ellenére, hogy tulajdonképpen mindig minden jel egyidejűleg változik, mivel az adiabatikus áramkörök meghajtásra használt rezonáns tápegység által felvett áram lényegesen kisebb az adiabatikus logikába befolyó, a terhelő kapacitásokat töltő áramnál. A rezonáns tápegység ugyanis csak a rendszer veszteségének megfelelő energia betáplálását igényli, és ez a veszteség – éppen az áramkör adiabatikus természetéből adódóan – igen kicsi.

Mindezekon kívül említést érdemel még, hogy az adiabatikus áramkörök elkészítése nem igényel a statikustól eltérő technológiát, ezáltal ugyanaz a gyártási folyamat használható mindkettőre, egy félvezetőlapkán a statikus és az adiabatikus áramkörök keverten is megvalósíthatók.

2 Kitűzött kutatási feladatok

Munkám célja a kis fogyasztású CMOS logikai áramkörök kutatása, beleértve új, a szakirodalomból ismerteknél kisebb energiaveszteségű kapcsolástechnikai megoldások kidolgozását, valamint – ehhez kapcsolódóan – a digitális áramkörtervezési módszerek fejlesztését.

A statikus CMOS kapcsolások teljesítményfelvétel-csökkentésének kézenfekvő módja a tápfeszültség lecsökkentése [Azizi, 2005], ennek azonban ára a gyenge teljesítőképesség. A teljesítményfelvételnek a teljesítőképesség megtartása melletti csökkentésére adnak lehetőséget az adiabatikus töltésvisszanyerő elven működő áramkörök. Azonban az ismert adiabatikus kapcsolások vagy nem megfelelőek a CMOS megvalósításra [Hinman, 1993], vagy túl összetettek és nagy szilíciumterületet igényelnek [Younis, 1993][Lim, 1998], vagy működtetésükhöz túl sok fázisjel szükséges [Younis, 1994], vagy csak alacsony frekvencián működőképesek [Oklobdzija, 1997], egyes esetekben pedig nem-adiabatikus veszteségük csökkenti az energiahatékonyságot [Gabara, 1994].

A fentiek alapján az adiabatikus töltésvisszanyerő elven működő áramkörök széleskörű elfogadásához és gyakorlati elterjedéséhez elengedhetetlenül szükséges a korábbiakban kifejlesztettekhez képest a kapcsolat egyszerűsítése, a hatékony működési frekvenciatartomány és az átbecsátás növelése, valamint a teljesítményfelvételi tulajdonságok javítása. Ezért olyan adiabatikus, töltésvisszanyerő áramköri megoldás kidolgozását tűztem ki célul, amely:

- a terhelőkapacitást töltő és kisütő párhuzamos áramutak egyikében csupán egyetlen kapcsolóelemet tartalmaz,
- egyszerű felépítésű, szilícium területigénye mérsékelt,
- a működtetéséhez szükséges fázisjelek darabszáma mérsékelt, ugyanakkor megfelelő átbecsátást tesz lehetővé,
- nagyfrekvencián is működőképes,
- a teljes energiavesztesége szempontjából az adiabatikus veszteség a meghatározó, nem-adiabatikus vesztesége mérsékelt vagy elhanyagolható.

A technológia adta lehetőségek kihasználásával nemcsak az integrált áramkörök teljesítményfelvétele, hanem bonyolultsága is évről-évre közel duplázódik, míg a logikai és a regiszter-átviteli szintű tervezőeszközök képessége ezt időben egyre lemaradva követi [Lehmann, 1996]. Ezért az integrált áramkör tervezés másik fontos kérdése a tervező teljesítménye, valamint az elkészült terv minősége.

A korszerű, nagy bonyolultságú berendezés-orientált integrált áramkörök (ASIC) tervezéséhez elengedhetetlen a magas szintű szintézis eszközök használata, mivel a magas szintű tervezőeszközök segítségével a tervezés is magasabb elvonatkoztatási szintről indítható. A tervező csak azon az elvonatkoztatási szinten tud dolgozni, amely szinten a tervezési tárgyak száma viszonylag kicsi. Például néhány logikai egyenlet még megérthető, de pár száz már nem. Ekkor át kell térni magasabb

elvonatkoztatási szintre, ahol a tervezési tárgyak száma kevesebb, például néhány algoritmus. Alacsonyabb elvonatkoztatási szinten a terv csak akkor kezelhető, ha azt kisebb darabokra osztjuk, vagy olyan önműködő tervezőeszközöket használunk, amelyek képesek az adott összetettséget kezelni.

Korábbi munkák [Athas, 1997][Athas, 1996] foglalkoztak teljes adiabatikus rendszerek készítésével, adiabatikus adatutak viselkedési leírásból való előállítására azonban megoldatlan maradt; jóllehet, ezen áramkörök éppen a pipeline működésüknek köszönhetően előnyösen használhatóak a digitális jelfeldolgozásban, ahol periodikusan ismétlődő adatokon ugyanazon műveletsor kerül végrehajtásra. Ismert, hogy a magas szintű logikai szintézis egyik legkritikusabb lépése az ütemezés, amely megadja, hogy mely műveletek végrehajtása melyik vezérlési lépésben kezdődjön. Bár a szakirodalom bővelkedik ütemező algoritmusokban, valamint ezen belül a pipeline-technika kihasználására történő ütemezés is jól kidolgozott [Jun, 1994][Verhaegh, 1995], adiabatikus kapcsolások ütemezésére azonban egyik technika sem alkalmas. Ezen eljárások adiabatikus áramkörökre vonatkozó alkalmazhatóságának hiányossága, hogy nem veszik figyelembe az adatútba az ütemezés után beépítendő multiplexerek műveletvégzési idejét. Ezért olyan magas szintű szintézis eljárás kidolgozását tűztem ki célul, amely:

- számításba veszi és ütemezéskor kihasználja az adiabatikus áramkörökkel felépített műveletvégző egységek kétszintű pipeline működését,
- figyelembe veszi az adiabatikus logikai fokozatok fázisjel vezérelt kiértékelését,
- lehetővé teszi, hogy magas szintű viselkedési leírásból automatikus eszközök használatával adiabatikus áramkörökkel felépített feldolgozóegység készüljön.

3 Új tudományos eredmények

3.1 Javított tulajdonságú adiabatikus kapcsolás

1. Téziscsoport: Kidolgoztam és négyfázisú rendszerre alkalmaztam egy olyan adiabatikus töltés-visszanyerő elven működő kapcsolást, amely a korábbi kapcsolásokhoz képest kisebb energiavesztésű, ugyanakkor szilíciumterület-igénye mérsékelt, ezen túlmenően nagyfrekvenciákon is működőképes és energiahatékony, a frekvencia növelésével sem romlik jelentősen [1].

1.1 Tézis: Megmutattam négyfázisú rendszerben, hogy a kimeneti kapacitás feltöltése alatti periódusban a feltöltő áramút megkettőzésével a nem-adiabatikus veszteség kiküszöbölhető, és ugyanezzel a megoldással, valamint az egyik áramútban csupán egyetlen kapcsolóelem alkalmazásával a kapcsolás összvesztése jelentősen csökkenthető [2].

1.2 Tézis: Megmutattam négyfázisú rendszerben, hogy a kisütő áramutaknak a következő fokozatban elhelyezett inverterrel történő fázishelyes vezérlésével a logikai kapu teljesen adiabatikus működésűvé tehető, fordított logika, valamint a feltöltő és a töltés-visszavezető áramutakat elválasztó kapcsolóelemek alkalmazása nélkül. Megmutattam továbbá, hogy ezzel a megoldással az esetleges többlet inverter veszteségei ellenére a teljes energiaveszteség összességében csökkenthető [1].

1.3 Tézis: Kidolgoztam és négyfázisú rendszerre alkalmaztam egy olyan adiabatikus töltés-visszanyerő elven működő tárolóelem kapcsolását, amely egy bit adat dinamikus tárolását teszi lehetővé úgy, hogy a tárolóelem vezérlése, valamint a be- és kimeneti jelalakjai teljesen megegyeznek a logikai kapuk hasonló jelalakjaival, és a tároló működése az átkapcsolási idő növelésével sem válik bizonytalanná [3].

3.2 Adiabatikus kapcsolások optimalítása energiaveszteség szempontjából

2. Téziscsoport: Kimutattam, hogy az adiabatikus áramkörök energiaveszteségének szempontjából az áramútban elhelyezkedő tranzisztorok optimális geometriai méretére (konkrétan a gate optimális w szélességére) a terhelő kapacitás és működési frekvencia függvényében jól kirajzolódó optimum kapható, továbbá megmutattam, hogy ez az optimális tranzisztorméret csak bizonyos terhelő kapacitás és működési frekvencia fölött létezik [2][4].

2.1 Tézis: Kimutattam és szimulációval konkrét áramkörökön igazoltam, hogy az irodalomban található, a tranzisztorok optimális geometriai méretét meghatározó összefüggések csak durva közelítést adnak, ezért a tényleges optimalizálást az adott áramkör s annak parazitái ismeretében, szimulációval kell elvégezni [2][4].

2.2 Tézis: Többfázisú rendszer esetén szimulációval megmutattam, hogy a rezonáns tápegységből és az adiabatikus logikából álló teljes rendszer eredő energiavesztesége csökkenthető, ha az egyes fázisokat terhelő kapacitások kiegyenlítésére külső kapacitás alkalmazása helyett az adott fázisjelhez tartozó áramutakban szereplő tranzisztorok szélességét a csak a logikai kapu energiaveszteségéből adódó optimumnál szélesebbre választjuk [1][5].

3.3 Adiabatikus áramkörök magas szintű szintézise

3. Téziscsoport: Megállapítottam, hogy az adiabatikus logikák pipeline felépítésüknek és fázisjel-vezérelt viselkedésüknek köszönhetően előnyösen alkalmazhatók minden olyan területen, ahol egymást követő adatokon ugyanazokat a műveleteket kell végrehajtani, mint például a digitális jelfeldolgozásban. Továbbá rámutattam, hogy adiabatikus áramkörök automatizált tervezéséhez a jelenleg használt ütemező algoritmusok kiegészítése szükséges, és ennek megfelelően két új ütemező eljárást dolgoztam ki [6][7][8].

3.1 Tézis: Kidolgoztam és négyfázisú rendszerre alkalmaztam egy olyan ütemező eljárást, amely az egyes műveletvégző egység típusokból a szükséges legkisebb számú műveletvégző egységek felhasználásával biztosítja az adiabatikus, kétszintű pipeline működésű logikák magas-szintű szintézisét, úgy, hogy egyenlő arányban osztja meg az azonos típusú műveletvégző egységekhez csatlakozó multiplexerek között a bemenetek számát, és figyelembe veszi a multiplexer-műveletek végrehajtásához szükséges vezérlési lépések számát [6][8].

3.2 Tézis: Kidolgoztam és négyfázisú rendszerre alkalmaztam egy olyan egészértékű lineáris programozáson alapuló ütemezési algoritmust, amely optimális ütemezési megoldást nyújt, és lehetővé teszi az adiabatikus elven működő logikák magas szintű szintézisét azáltal, hogy figyelembe veszi az adatútba a tervezés későbbi szakaszában beépítendő multiplexerek műveletvégzési idejét az egyes multiplexerek bemeneteinek számától függő számú vezérlési lépés beütemezésével [7][8][9].

3.3 Tézis: Az adiabatikus logika pipeline működésének és fázisjel-vezérelt viselkedésének leírására egy olyan VHDL modellezési technikát dolgoztam ki, amely lehetővé teszi az adiabatikus és nem adiabatikus digitális áramkörök együttes szimulálását. Az órajel-ciklushoz kötött, de még mindig viselkedési modell a teljes digitális rendszer szimulációja esetén is elfogadható szimulációs időt eredményez, így jól használható átfogó teljesítőképesség adatok vizsgálatára és kiértékelésére [6][8][9].

4 Az új tudományos eredmények lehetséges felhasználásai

Az adiabatikus áramkörök felhasználása minden olyan helyzetben szóba jöhet, ahol a táplálás korlátozottan áll rendelkezésre, vagy a hűtési viszonyok nem megfelelőek és emiatt a disszipációt minimalizálni kell. Ilyenekre példák egyes üreszközök, testen viselt vagy testbe ültetett orvosi eszközök, valamint olyan adatgyűjtő berendezések, amelyek hosszú időn át hálózati táplálás nélkül működnek és csak az adatátvitel (illetve teleptöltés) idejére áll külső áramforrás rendelkezésre.

5 Hivatkozások

Irodalmi hivatkozások listája

- [Brodersen, 1991] R. Brodersen, A. Chandrakasan, S. Sheng: "Technologies for Personal Communications", *IEEE Symp. on VLSI Circuits*, Tokyo, Japan, 1991, pp. 5-9.
- [Azizi, 2005] N. Azizi, M. M. Khellah, V. De, F. N. Najm: "Variations-Aware Low-Power Design with Voltage Scaling", *IEEE/ACM Design Automation Conf.*, Jun. 2005, pp. 529-534.
- [Mark, 2006] W. Mark, V. Duc, N. Duc, R. Ron, C. Yuan, B Joseph: "Product reliability trends, derating considerations and failure mechanisms with scaled CMOS", *International Integrated Reliability Workshop*, 2006, pp. 156 - 159.

- [Pedram, 1996] M. Pedram: "Power Minimization in IC Design", *ACM Trans. on Design Automat. Electron. Syst.*, Vol. 1, No. 1, Jan. 1996.
- [Gabara, 1994] T. J. Gabara: "Pulsed Low Power CMOS", *Int. Journ. High Speed Electron Syst.*, Vol. 5, No. 2, 1994.
- [Hinman, 1993] R. Hinman, M. Schlecht: "Recovered Energy Logic – A Highly Efficient Alternative to Today's Logic Circuits", *IEEE Power Electron. Spec. Conf.*, 1993.
- [Younis, 1993] S. G. Younis, T. Knight: "Practical Implementation of Charge Recovering Asymptotically Zero Power CMOS", *Symp. on Integrated Systems*, 1993, pp. 234-250.
- [Oklobdzija, 1997] V. G. Oklobdzija, D. Maksimovic, F. Lin: "Pass-Transistor Adiabatic Logic Using Single Power-Clock Supply", *IEEE Trans. Circuits and Systems Vol. 44, No. 10*, Oct. 1997 pp. 842-846.
- [Athas, 1997] W. C. Athas, N. Tzartzanis, L. J. Svensson, L. Peterson: "A Low-Power Microprocessor Based on Resonant Energy", *IEEE Journ. Solid-State Circ.*, Nov.1997 pp. 1693-1701.
- [Athas, 1996] W. C. Athas, W-C Liu, L. J. Svensson: "Energy-Recovery CMOS for Highly Pipelined DSP Design", *Int. Symp. Low Power Electronics and Design*, Monterey, CA, Aug. 12-14, 1996.
- [Koller, 1992] J. G. Koller, W. C. Athas: "Adiabatic Switching, Low Energy Computing, and the Physics of Storing and Erasing Information", *Workshop on Physics and Computation*, Oct. 1992.
- [Lim, 1998] J. Lim, D. K. Won, S. I. Chae: "Reversible Energy Recovery Logic Circuit without Nonadiabatic Energy Loss", *Electron Lett.*, Vol. 34, No. 4, Feb. 1998, pp. 344-346.
- [Younis, 1994] S. G. Younis, T. Knight: "Asymptotically Zero Energy Split-Level Charge Recovery Logic", *Int. Workshop on Low Power Design*, Napa Valley, CA, 1994, pp. 177-182.
- [Jun, 1994] H. S. Jun, S. Y. Hwang: "Design of a Pipelined DataPath Synthesis System for Digital Signal Processing", *IEEE Trans. VLSI Systems Vol. 2, No. 3*, Sep. 1994 pp. 292-303.
- [Verhaegh, 1995] W. F. J. Verhaegh, P. E. R. Lippens, E. H. L. Aarts, J. H. M. Korst, J. L. van Meerbergen, A. van der Werf: "Improved Force-Directed Scheduling in High-Throughput Digital Signal Processing", *IEEE Trans. on Comp. Aided Design*, Vol. 14 1995, pp. 945-960.
- [Lehmann, 1996] G. Lehmann, B. Wunder, K. D. Müller-Glaser: "A VHDL Reuse Workbench", *EURO-DAC with EURO-VHDL*, 1996.

A t zispontokhoz kapcsol d  tudom nyos k zlem nyek

- [1] **L. Varga**, F. Kov cs, G. Hossz : "An Improved Pass-Gate Adiabatic Logic", *IEEE ASIC/SOC 2001*, Washington, USA, September 12-15, 2001, pp. 208-211.
- [2] **L. Varga**, F. Kov cs, G. Hossz : "An Efficient Adiabatic Charge-Recovery Logic", *IEEE SoutheastCon 2001*, Clemson, South Carolina, USA, March 30 - April 1, 2001, pp. 17-20.
- [3] **L. Varga**, G. Hossz , F. Kov cs: "Adiabatic Charge-Recovery CMOS for Ultra-Low-Power", *IEEE Design and Diagnostics of Electronic Circuits and Systems*, Gy r, Hungary, April 18-20, 2001, pp. 227-231.

- [4] F. Kovács, **L. Varga**, G. Hosszú: "Circuit Optimization of Adiabatic Charge-Recovery CMOS PLA-s", *World Multiconference on Systemics, Cybernetics and Informatics*, Orlando, Florida, USA, July 23-26, 2000, Vol. IX. pp. 153-156.
- [5] **L. Varga**, G. Hosszú: "Adiabatikus töltésvisszanyerő elven működő kifizogasztású integrált áramkörök", *Elektronikai Technológia, Mikrotechnika*, megjelenés alatt.
- [6] **L. Varga**, G. Hosszú, F. Kovács: "A Scheduling Technique for Pipeline Datapaths Using Adiabatic Logic", *IEEE Design and Diagnostics of Electronic Circuits and Systems*, Győr, Hungary, April 18-20, 2001, pp. 307-310.
- [7] **L. Varga**, F. Kovács, G. Hosszú: "Approaches for Scheduling of Adiabatic Logic", *Int. Workshop on Logic & Synthesis*, Granlibakken, CA, USA, June 12-15, 2001, pp. 18-22.
- [8] **L. Varga**, G. Hosszú: "Kisfizogasztású integrált áramkörök tervezési kérdései", *Híradástechnika*, Vol. LXI, No. 12, 2006, pp. 45-51.
- [9] **L. Varga**, G. Hosszú, F. Kovács: "Two-level Pipeline Scheduling of Adiabatic Logic", *ISSE*, St. Marienthal, Germany, May. 2006, pp. 390-394.

További tudományos közlemények

- [10] G. Hosszú, F. Kovács, **L. Varga**, V. Gajodi: "VHDL Based Circuit Synthesis Using Language Transformations", *Int. Conf. on Parallel Architectures Compilation Techniques*, Paris, France, October 13-17, 1998, pp.130-135.
- [11] G. Hosszú, F. Kovács, **L. Varga**, V. Gajodi: "VHDL Based Circuit Synthesis Using Language Transformations", *Conf. on Application of Microprocessors in Automatic Control and Measurement*, Warsaw, Poland, October 13-14, 1998, pp. 42-48.
- [12] G. Hosszú, F. Kovács, **L. Varga**: "Design Procedure Based on VHDL Language Transformations", *IEEE International Symposium on Circuit and Systems*, Orlando, Florida, USA, May 30-June 2, 1999, Vol 1. pp. 407-410.
- [13] **L. Varga**, G. Hosszú, F. Kovács: "VHDL Based High-Level Synthesis for Datapath-Intensive Architectures", *Int. Workshop on Design, Test and Applications*, Dubrovnik, Croatia, June 14-16, 1999.
- [14] **L. Varga**, G. Hosszú, F. Kovács: "Circuit Synthesis Based on VHDL Language Transformations", *IEEE Int. Conf. on Electronics, Circuit and Systems*, Paphos, Cyprus, Sep. 5-8, 1999, pp. 225-228.
- [15] G. Richly, **L. Varga**, J. Horváth, D. Tarján, G. Hosszú, F. Kovács: "Optimum Selection of Sound Stream Segments for Real-Time Identification", *DSP Germany*, Munich, Germany, Sep. 22-23, 1999, pp. 127-131.
- [16] A. Kun, R. Kozma, **L. Varga**, C. Schneider, F. Kovács, G. Hosszú: "VHDL-based Design and Analysis Methodology for Heterogeneous Digital Systems", *Electronic Devices and Systems Conference*, Brno, Czech Republic, Nov. 19-20, 1999, pp. 113-116.
- [17] **L. Varga**, G. Richly, J. Horváth Cz., G. Hosszú, F. Kovács: "Optimal Selection of Sound Stream Segments for Real-Time Identification", *Electronic Devices and Systems Conference*, Brno, Czech Republic, Nov. 19-20, 1999, pp. 240-243.
- [18] **L. Varga**, G. Hosszú, F. Kovács: "Resource-Sharing for Low-Power in High-Level Synthesis", *Electronic Devices and Systems Conference*, Brno, Czech Republic, Nov. 19-20, 1999, pp. 117-120.
- [19] **L. Varga**, G. Hosszú, F. Kovács: "A Power Reduction Technique in High-Level Synthesis of Datapaths", *Design and Diagnostics of Electronic Circuits and Systems*, Slovakia, April 5-7, 2000, pp. 142-145.
- [20] F. Kovács, G. Hosszú, G. Richly, **L. Varga**: "Monitoring Media Streams on the Internet", *Hungarian – Korean Joint Seminar*, Hungary, May 3-6, 2000

- [21] G. Richly, **L. Varga**, F. Kovács, G. Hosszú: "A Real-time method to characterize sound streams for occurrence monitoring of given sound-prints", *International Spring Seminar on Electronics Technology*, Hungary, May 6-10, 2000, pp. 103-105.
- [22] **L. Varga**, R. Kozma, A. Kun, G. Hosszú, F. Kovács, C. Schneider: "VHDL-Based System-Level Design Methodology for Multimedia Signal Processing Applications", *Mediterranean Electrotechnical Conf.*, Cyprus, May 29-31, 2000, pp. 814-817.
- [23] **L. Varga**, G. Hosszú, F. Kovács: "A Low-Power Design Technique for Digital Signal Processing Applications", *IEEE Mediterranean Electrotechnical Conf.*, Cyprus, May 29-31, 2000, pp. 827-830.
- [24] G. Richly, **L. Varga**, G. Hosszú, F. Kovács: "Short-Term Sound Stream Characterization for Reliable, Real-Time Occurrence Monitoring of Given Sound-Prints", *IEEE Mediterranean Electrotechnical Conf.*, Cyprus, May 29-31, 2000, pp. 526-528.
- [25] **Varga L.**, Richly G., Kozma R., Kovács F., Hosszú G.: "Mintaillesztési Algoritmus Fejlesztése és Megvalósítása", *Magyar Informatikusok Második Világtalálkozója*, Budapest, Hungary, 2000 jún. 5-8. pp. 1025-1035.
- [26] Richly G., **Varga L.**, Kozma R., Kovács F., Hosszú G.: "Internetes Média-Folyamon Alkalmazott Hanganyag Felismerő Rendszer", *Magyar Informatikusok Második Világtalálkozója*, Budapest, Hungary, 2000 jún. 5-8. pp. 827-837.
- [27] F. Kovács, G. Hosszú, G. Richly, **L. Varga**: "Real-Time Identification of Predefined Records in Stream-Media Using Sound-prints Selected for Minimum Similarity", *World Multiconf. on Systemics, Cybernetics and Informatics*, Orlando, Florida, USA, July 23-26, 2000, Vol. IV. pp. 40-43.
- [28] **L. Varga**, F. Kovács, G. Hosszú, "A Novel Low Power CMOS Using Adiabatic Switching", *MicroCad 2001*, Miskolc, Hungary, March 1-2, 2001.
- [29] A. Imre, **L. Varga**, F. Kovács, G. Hosszú, "Comparative Study of Adiabatic Power Supply Generators", *MicroCad 2001*, Miskolc, Hungary, March 1-2, 2001.
- [30] R. Kozma, G. Richly, **L. Varga**, G. Hosszú, "Recognition System for Monitoring in Internet Media-stream for Sound-clips", *MicroCad 2001*, Miskolc, Hungary, March 1-2, 2001.
- [31] Kozma R., **Varga L.**, Hosszú G., Kovács F.: "Nyelvi Transzformációkkal Megvalósított Objektum Alapú Hardver Szintézis", *MicroCad 2001*, Miskolc, Hungary, March 1-2, 2001.
- [32] **L. Varga**, F. Kovács, G. Hosszú: "Mixed-Signal Method for Low-Power Pattern Preselection", *IEEE Design and Diagnostics of Electronic Circuits and Systems*, Győr, Hungary, April 18-20, 2001, pp. 103-105.
- [33] Richly G., **Varga L.**, Kozma R, Hosszú G.: "Internetes Média-Folyamon Alkalmazott Hanganyag Felismerő Rendszer", *Informatika*, 4. évf. 2. szám, 2001 Május, pp. 18-25.
- [34] **L. Varga**, F. Kovács, G. Hosszú: "Datapath Synthesis Using Adiabatic Logic", *WSES/IEEE CSCC 2001*, Rethymnon, Greece, July 8-15, 2001.
- [35] R. Kozma, **L Varga**, Cs. Horváth, F. Kovács, G. Hosszú: "Object-oriented Hardware Synthesis Using Language Transformations", *Int. Workshop on Control & Information Technology*, Ostrava, Czech Republic, Sep. 19-20, 2001.
- [36] **L. Varga**, G. Hosszú, F. Kovács: "Design Procedure Based on VHDL Language Transformations", *VLSI Design; International Journal of Custom-Chip Design, Simulation, and Testing*, Vol. 14, No. 4, 2002, pp. 349-354.
- [37] **L. Varga**, G. Hosszú: "High-level Synthesis of Four-phase Adiabatic Logic", *6th Electronic Circuits and Systems Conference*, Bratislava, Slovakia, Sep. 6-7, 2007.

6 Független idézettség (kutatói tevékenység hatása)

- [C1] H. Lee, I. Na, C. Lee, Y. Moon: "A 16-bit adiabatic macro blocks with supply clock generator for micro-power RISC datapath", *International Technical Conference on Circuits / Systems, Computers and Communications*, Phuket, Thailand, 2002. július 16-19, pp. 1563-1566. [2]
- [C2] P. Cano, E. Batlle, T. Kalker, J. Haitzma: "A review of algorithms for audio fingerprinting", in *Proc. of IEEE International Workshop on Multimedia Signal Processing (MMSP'02)*, St. Thomas, US Virgin Islands, 2002. december, pp. 169-173. [24]
- [C3] Y. Shin, H. Lee, C. Lee, Y. Moon: "A Design of 16-bit Adiabatic Low-Power Microprocessor", *Journal of the Institute of Electronics Engineers of Korea*, Vol. 40, No 6, 2003. november, pp. 31-38. [2]
- [C4] Henry Y. K. Lau, K. L. Mak: "The design of flexible manufacturing systems using an extended unified framework", *Journal of Manufacturing Technology Management*, Vol. 15, No. 3, 2004, pp. 222-238. [12]
- [C5] M.M. Yang, J.A. Barby: "A novel fast low voltage dynamic threshold true single phase clocking adiabatic circuit", In *Proc. IEEE International Symposium on Circuits and Systems, Vancouver, Canada, 2004*, pp. 289-292, ISBN 0-7803-8251-X, Publisher: IEEE, Piscataway, New Jersey, USA. [2]
- [C6] M. Arsalan, M. Shams: "An investigation into transistor-based adiabatic logic styles", *IEEE Northeast Workshop on Circuits and Systems*, Montreal, Canada, 2004. június 20-23, pp. 1-4. [1]
- [C7] Y. Shin, C. Lee, Y. Moon: "A Low Power 16-Bit RISC Microprocessor Using ECRL Circuits", *ETRI Journal*, Vol. 26, No. 6, Dec. 2004. december, pp. 513-519.2004. [2]
- [C8] P. Cano, E. Batlle, T. Kalker, J. Haitzma: "A Review of Audio Fingerprinting", *Journal of VLSI Signal Processing Systems*, Volume 41, Issue 3 (November 2005), pp. 271-284. ISSN: 0922-5773, Publisher: Kluwer Academic Publishers, Hingham, MA, USA. [24]
- [C9] T. Akiba, M. Igarashi: "Hardware-operation description conversion method and program", *US Patent*, 2006. február 7, No: 6,996,788. [14]
- [C10] V.S. K. Bhaaskaran, S. Salivahanan, D.S. Emmanuel: "Semi-Custom Design of Adiabatic Adder Circuits", in *Proceedings of the 19th International Conference on VLSI Design held jointly with 5th International Conference on Embedded Systems Design*, Hyderabad, India, 2006. január 3-7, pp. 745-748, [1]
- [C11] C. Schlachta: "Ein Verfahren zur Verbesserung der Energieeffizienz durch Ladungsrückgewinnung in Digitalschaltungen", *Ph.D. értekezés*, 2006. URL: http://deposit.ddb.de/cgi-bin/dokserv?idn=985741708&dok_var=d1&dok_ext=pdf&filename=985741708.pdf [1]
- [C12] P. Cano: "Content-Based Audio Search: from Fingerprinting to Semantic Audio Retrieval", *Ph.D. értekezés*, 2007. URL: <http://www.iaa.upf.edu/mtg/publications/34ac8d-PhD-Cano-Pedro-2007.pdf>. [24]
- [C13] Kirei Botond Sándor: "A VHDL kódtól az FPGA-ba való ágyazásig", *Műszaki Szemle*, 33. szám, 2006, Erdélyi Magyar Műszaki Tudományos Társaság, Kolozsvár, pp. 53-58. [11]
- [C14] V. Ponnusamy, K. Gunavathi: "Energy Efficient Charge Recovery for Positive Feedback Adiabatic Logic", *IETE Technical Review*, (ISSN 0256-4602), Vol. 24, No. 2, March-April 2007, New Delhi, India, pp. 127-133. [1]