

Magyar Tudományos Akadémia  
Számítástechnikai és Automatizálási Kutató Intézet

Analogikai és Neurális Számítások Laboratórium

Layout hibadetekció a nyomtatott áramköri  
lapokon (PCB) és egy emulált digitális CNN-UM  
architektúra (CASTLE) optimalizálása

PhD értekezés

írta: ***Hidvégi Timót***

Témavezető:

Dr. Szolgay Péter

MTA doktora

Budapest

2002

## I. Bevezetés, feladatkitűzés

A Celluláris Nemlineáris (vagy Neurális) Hálózat [16], [17] két, esetleg több dimenzióban szabályosan elhelyezkedő, egymással lokálisan összekötött, nemlineáris dinamikájú analóg cellákból, processzorokból áll. Ha az elemi cellákat, processzorokat kiegészítjük különböző lokális memóriákkal és a processzortömböt egy központi vezérlőegységgel és a program utasításait tároló, globális regiszterekkel, akkor a CNN-UM-et (Celluláris Univerzális Számítógép) kapjuk [18]. Ez az első tárolt programú analogikai számítógéparchitektúra.

A CNN-UM-ek nem csak az elméletben, hanem a gyakorlatban is léteznek. A legegyszerűbb, legpontosabb, de egyben a leglassúbb megoldása egy PC-n futó szimulátorprogram [19]. Jóval gyorsabb a működése a digitálisan emulált CNN-UM-nek [5], [42], amelyek megvalósíthatók VIRTEX FPGA-n [37], [38], vagy akár az ASIC (Application Specific Integrated Circuits) tervezés segítségével is [46], [53], [54]. A leggyorsabb működési sebességet pedig akkor érjük el, ha a processzortömbben analóg cellákat helyezünk el. Ezt a megvalósítást analóg CNN-UM-nek is nevezzük [20], [21], [22], [23], [24]. Ezek a megoldások a leggyorsabbak, de sajnos pontatlanok, mert az analóg VLSI gyártási technológia kevésbé kézben tartható. Ezért születtek meg az első digitálisan emulált chip-ek, amelyek segítségével "könnyen" megoldhatók akár a különböző parciális differenciálegyenletek is. A különböző CNN-UM megoldásokon futó programokat analogikai algoritmusoknak, programoknak nevezzük. Ezen programok elemi utasításai a template-ek, amelyeknek a mérete  $n \times n$ . Legegyszerűbb és a leggyakoribb esetben az " $n$ " mérete 3. A template-ek segítségével állíthatjuk be a lokálisan összekötött processzorok közötti összeköttetés "nagyágát".

A jelenlegi technológiával készült analóg CNN-UM chip-ek számítási teljesítménye néhányszor  $10^{12}$  Teraops ( $10^{12}$  op/s). Az analogikai processzortömbök új algoritmikus szemléletet, módszert jelentenek, amikor a tér-idobeli számítások világában járunk.

A CNN-UM Turing értelemben is univerzális, ami azt jelenti, hogy tetszőleges algoritmus megoldható ezzel a neurális processzortömbbel. Mivel a felépítése lokálisan összekötött és általában kétdimenziós, ezért a CNN-UM kétdimenziós jelfeldolgozásban alkalmazható. Az elmúlt években számos ilyen algoritmus született.

Az első CNN-UM-ek megjelenése után különböző akadályokba ütköztek az algoritmusok fejlesztői. Az egyik az, hogy az elkészült chip-ek csak egyes szomszédosságú template-eket képesek kezelni ( $3 \times 3$ ), a másik a pontosság. Feladatunk volt ezeknek a kérdéseknek a megválaszolása is. Különböző méretű template-eket használhatunk template dekompozíció nélkül [1], [2], [13], az átkonfigurálható architektúra [9] segítségével, amit a tézisfüzet harmadik fejezetében ismertetek. A pontosság jobban kézben tartható a digitálisan emulált CNN-UM-ek alkalmazásával, amely csökkenti viszont az analogikai algoritmus sebességét. Ez a sebesség jelentősen megnövelhető a pipeline módszerrel [1], [2], [7], amire szintén a harmadik fejezetben térünk ki. Az ASIC tervezés egyik döntő szempontja volt az, hogy a felhasznált szilícium mérete minimális legyen. Feladatunk volt olyan eljárás megadása, aminek a segítségével a digitálisan emulált CNN-UM chip-ek szilíciumfelülete jelentősen csökkenhető [1], [2], [13]. Így nem csak a gyártási költségek lesznek kisebbek, hanem a disszipáció is, hiszen a szilíciumon realizált kisebb áramkör kevesebb FET-et tartalmaz.

A nyomtatott áramkörök gyártásakor különböző hibák léphetnek fel, amelyeknek a detektálása nem egyszerű. A kereskedelembe kapható ellenőrző rendszerek drágák,

használatuk nem triviális. Feladatomból volt, hogy olyan hibakereső analógiai algoritmusokat dolgozzak ki, amelyek segítségével valós időben belül detektálhatók a különböző gyártási és/vagy tervezési hibák.

A tudományos munkáimat két nagy csoportba sorolom. Foglalkoztam a nyomtatott áramkörtáblák (PCB, Printed Circuit Board) gyártásakor fellépő hibák detekciójával, illetve a laborban kifejlesztett digitálisan emulált CNN-UM (CASTLE) architektúrájának optimalizálási kérdéseivel is. Először a nyomtatott áramkörök hibadetekcióját ismertetem, azután a laborban kifejlesztett digitálisan emulált CNN-UM architektúrájának optimalizálási kérdéseit mutatom be.

## II. Elvégzett vizsgálatok, alkalmazott módszerek

Vizsgálatokat végeztem arra vonatkozólag, hogy a nyomtatott áramkörök gyártásakor hogyan detektálhatjuk a különböző hibákat. Ezeknél a kísérleteimnél az MTA-SZTAKI-ban kifejlesztett Aladdin CNN-UM tesztrendszer [20] használtam. Ezzel a programcsomaggal szimulálhatjuk a CNN-UM-et, illetve a hozzátartozó CNN-UM platformmal egy 64\*64-es analóg CNN chipen is kipróbálhatók, futtathatók a különböző analógiai algoritmusok.

A nyomtatott áramkörtáblák gyártása során több hiba is keletkezhet. Adódhat illesztési hiba, amely főleg a rossz gyártófilm használatából ered. Különböző zárlatok is előfordulhatnak, amelyek a tervezésből, de akár a gyártásból is adódhatnak. Ezeket a hibákat, illetve a meglétüket detektálhatjuk a később ismertetésre kerülő algoritmusok segítségével [3], [4], [8], [14], [15]. Ezeket a hibakereső algoritmusokat 20\*22-es és 64\*64-es CNN-UM chip-eken is teszteltem, a mérési eredményeket az 3. fejezetben ismertetem a disszertációmban.

A kutatás során alkalmazott módszereim heurisztikusak. A heurisztikus módszerek mögött azonban az algoritmusok egy-egy lépésében tételes állításokkal bizonyítható egzakt eredmények húzódnak meg. Tipikusan ilyen folyamat, hogy hogyan lehet egy algoritmust szétszedni elemi template lépésekre, szekvenciákra.

A kutatásaim során vizsgálatot végeztem arra vonatkozólag is, hogy hogyan optimalizálható egy digitálisan emulált CNN-UM (CASTLE) architektúra [5], [52] különböző szempontok (sebesség, szilíciumfelület, disszipáció) alapján. A vizsgálataim során kitértem arra is, hogy hogyan használhatunk egyes szomszédosságú template-ek mellett kettes szomszédosságúakat is [1], [8].

A kísérletek során a UNIX munkaállomásokon futó Magic [53] és Cadence [54], [55] ASIC tervezőprogramokat, illetve a PC-s Foundation Base FPGA, CPLD fejlesztőrendszer [37], [38] és a V-SIM VHDL szimulátort [67] használtam a különböző architektúrák kísérleti vizsgálatához.

Elkészült az AMS (Austria MicroSystem) [47] 0.35  $\mu\text{m}$ -es CMOS, három fémréteges technológiájával egy működőképes, digitálisan emulált CNN-UM chip. Ennek felbontása egy bit. Ezzel az eszközzel olyan feladatok oldhatók meg valós időben, amelyeknek a bemeneti képei binárisak, tehát a képen lévő pixelek feketék, vagy fehérek lehetnek továbbá a template-ek egy meghatározott, csatolatlan, ún. uncompled osztályba tartoznak. Ezen a chip-en is konkrét méréseket végeztem.

## III. Új tudományos eredmények tézisszerű összefoglalása

## 1. téziscsoport [3], [4], [8], [11], [14], [15]

A nyomtatott áramkörök(Printed Circuit Board, PCB) különböző, a gyártás során keletkező hibák detekciójával foglalkozik ez a téziscsoport. Két olyan analogikai algoritmusokat adtam meg, amelyek segítségével a nyomtatott lapok gyártása során a hibák (illesztési hibák, zárlat) kiszűrhetők. Ezeknek az algoritmusoknak a sebességei egy nagyságrendbe esnek professzionális rendszerek sebességével, de a futtatásához szükséges CNN-UM platformok ára olcsóbb.

A nyomtatott áramkörök elkészítése, utólagos tesztelése bonyolult, összetett feladat. A gyártás során több fajta hiba keletkezhet, például zárlat, rövidzárlat a különböző jelvezetékek között, vezetékszakadás, illesztési hiba a gyártófilm és a lap között. Az ebben a csoportban leírt analogikai algoritmusok futási ideje elvileg független a vizsgálandó nyomtatott áramköri lapok nagyságától, pontosságuk egy pixel. A disszertációmban egy konkrét mérési összeállítást is ismertetek. Az algoritmus futási ideje csak a technológia függvénye és kevéssé függ a lap méretétől, ha a teljes felület a CNN-UM chipre letölthető. Mind a két algoritmust teszteltem 64\*64-es CNN-UM chipen, bináris CNN-UM implementáción és szoftver szimulátoron.

1.1 tézis Megadtam egy layout ellenőrző analogikai algoritmust, amelynek segítségével megállapítható, hogy az egy-, vagy többretegű nyomtatott áramkör zárlatos-e [3], [4], [8]. Az algoritmus futási ideje a vizsgált kép lineáris méretével arányos (analog VLSI implementációt feltételezve). Az eljárás ketto, vagy több jel, (vezeték) között keres zárlatot. Az algoritmus további előnye, hogy az olyan rövidzárlatokat is detektálja, amelyek egy-egy oldalon nem okoznak zárlatot.

A hibák eredhetnek a nyomtatott lap gyártásából, de akár tervezési hibából is. Az algoritmusnak egyoldalas nyomtatott áramkörnél három bemenete van. A fóliázat képe, a "marker-" és a "referenciakép". A markerképen egy fekete forrpont, ún. pad található. Ezen a képen alakítjuk ki hullámgenerálással azt a jelvezetékét, amelyhez ez a forrpont tartozik. A referenciaképen legalább két pad található. Az egyik az a forrpont, ami a markerképen is megtalálható, a másik forrpont pedig ahhoz a jelvezetékhez tartozik, ahol a zárlatot keressük. Ha két pad van ezen a referenciaképen, akkor azon két jelvezeték között keresi az algoritmus a zárlatot, amelyekhez a két pad tartozik. Többretegű áramköröknél a bemenetek száma a rétegek számával megegyező. Az általam megadott zárlatkereső eljárásnak egy kimeneti képe van.

1.2 tézis Kidolgoztam egy olyan analogikai algoritmust, amellyel az illesztési hibák kiszűrhetők a nyomtatott lapok gyártása során [3], [8], [11] és amelyek futási ideje analog VLSI implementáció esetén független a vizsgált kép méretétől (ha a PCB mérete teljes egészében processzálható, egyébként darabolni kell a képet és ez lineárisan megnöveli a futási időt). Az előregedett, megnyúlt, hullámos filmek hibái detektálhatók ezzel, tetszőleges nyomtatott áramköröknél.

Az általam megadott illesztési hibákat detektáló eljárásnak két bemeneti és egy kimeneti képe van. Az egyik bemeneti kép a gyártófilmet, a másik pedig az előre kifűrt, fotózásra, szitázásra elokészített lemezt mutatja. Az algoritmus nem csak a hiba tényét jelzi, hanem megadja a hibás pixelek helyét is az algoritmus kimeneti képén.

Ennek az eljárásnak a további elonye az, hogy a futási idő független a hibák számától.

Ezt az algoritmust nem csak a téziscsoport bevezetőjében említett CNN-UM megoldásokon (64\*64) futtattam, hanem a 20\*22-es chipen és az MTA-SZTAKI-ban elkészített logikai processzoron is.

## 2. téziscsoport [1], [2], [5], [6], [7], [9], [12], [13]

Az analóg CNN-UM chip-eknek számos implementációja létezik. Ezek a chip-ek gyorsabbak és kevesebbet fogyasztanak a digitálisan emulált társaiknál, viszont pontatlanabbak és 3 dimenziós problémák nem oldhatók meg a segítségükkel. Elkészült egy digitálisan emulált architektúra (CASTLE) [5], amelynek segítségével egyszerre 16 darab 1-es szomszédosságú template használható: a feldolgozás során minden pixelhez külön template rendelhető. A template-ek letöltése a chip memóriájába független a chip működésétől. Ezeknek a template-eknek a mérete szintén 3\*3 (egyes szomszédosság). A CASTLE maximális működési frekvenciája 12 bites működés esetén kb. 80MHz [1]. Ezt a digitálisan emulált architektúrát úgy módosítottam, hogy rugalmasabb és gyorsabb megvalósításokhoz jussunk. Ez a téziscsoport ezeket a megoldásokat, a különböző szempontok alapján optimalizált architektúrákat mutatja be.

2.1 Olyan emulált digitális CNN-UM architektúrát [1], [9], [13] adtam meg, ami egyes (3\*3-as) illetve kettes (5\*5-ös) szomszédosságú template-eket képes kezelni egységnyi idő alatt. Ennek az architektúrának a működési sebessége (tehát a feldolgozási idő) megegyezik az eredeti digitálisan emulált, 3\*3-as CNN-UM (CASTLE) [5], [12] működési sebességével. Bemutattam továbbá két optimalizálási eljárást is, amelyek segítségével ez az általános, úgynevezett "újrakonfigurálható" architektúra optimalizálható szilícium-felületre és működési sebesség szerint is. Ezeknél a megoldásoknál működés közben tudjuk megváltoztatni (tudjuk újrakonfigurálni) a felhasznált template-ek méretét.

A szilíciumfelületre optimalizált aritmetikai egység működési sebessége változatlan 3\*3-as template használata esetén, és fele az eredeti CASTLE sebességének, ha a template mérete 5\*5. Az eredeti elrendezésben található három szorzónak ugyanis öt szorzatot kell megvalósítania a szilíciumon. A felületi növekedés viszont még a 5 %-ot sem éri el.

A működési sebesség szerint optimalizált újrakonfigurálható aritmetikai egység sebessége kétszerese az eredeti CASTLE működési sebességének, ha 3\*3-as template-eket használunk. Ha a használt template-ek mérete 5\*5-ös, akkor az aritmetika működésének a sebessége megegyezik az eredeti CASTLE sebességével.

2.2 Megoldást adtam az MTA-SZTAKI-ban kifejlesztett digitálisan emulált CNN-UM (CASTLE) chip működési sebességének növelésére.

Két eljárást adtam a CASTLE architektúra sebességnövelésére az úgynevezett "pipeline" technikával [1], [2], [7], [13]. Az első változatnál csak a főbb műveletet végző egységek (szorzó, összeadó) [43], [45] között vannak átmeneti tárolók. Így kétszeres sebességnövekedést tudtam elérni.

A második megoldásnál a szorzóban és az összeadóban is elhelyeztem regisztereket. A maximális működési frekvencia értéke így tízszerese lett az eredetinek, a maximális működési sebesség ekkor  $\sim 1\text{GHz}$  [7]. Ahhoz, hogy a szakirodalomból ismert, a gyakorlatban is használt "pipeline" elvét [44] a digitálisan emulált CNN-UM-ek "világában" is használni tudjuk, át kellett alakítanom az eredeti architektúra adatfeldolgozását és vezérlését. Ezért egy új adatfeldolgozási eljárást javasoltam. Ennek lényege, hogy egy aritmetikai egységhez öt, egymástól független lokális memória tartozik.

Egy új digitálisan emulált CNN-UM architektúrát adtam a modulokon belül is alkalmazott pipeline-osított aritmetika felhasználására is, hiszen közvetlenül nem aknázható ki sikeresen ez a jelentős sebességnövekedés. Megmutattam, hogy ezzel a megoldással biztosan kezelhető a belső, 1GHz-es órajel.

2.3 Megadtam egy olyan digitálisan emulált CNN-UM aritmetikai egységet, amelynek a szilíciumfelülete 30 %-kal csökkent [1], [2], [13]. Ez az aritmetikai egység csak  $3 \times 3$ -as template-ekkel dolgozik.

Ezt az elrendezést oszlopszimmetrikus template-ekre [35] optimalizáltam. Az aritmetikai egységnél a futási idő változatlan, ha oszlopszimmetrikus template-eket használunk. Ha a használt template nem oszlopszimmetrikus, akkor a futási idő megkétszereződik.

Tekintettel arra, hogy egy analogikai algoritmus tartalmazhat nem szimmetrikus template-eket, ezért egy olyan aritmetikai egység felépítését adtam meg, amellyel nem csak szimmetrikus template-ek használhatók [35]. Megadtam továbbá a futási idők függését is a használt template-ektől függően.

## IV. Az eredmények alkalmazási területei

Amióta megjelent a Celluláris Neurális Hálózat (CNN, Cellular Nonlinear/Neural Network), nagyon sok probléma megoldhatóvá vált CNN-UM-mel, különböző analogikai algoritmusok segítségével. Nagy áttörést jelentett az, amikor a számítógépeken futó szimulátorok után az első analóg CNN-UM chip-ek megjelentek. Kiderült azonban, hogy noha az analóg chip-ek nagyon gyorsak, azonban pontosságuk egyes speciális esetekben nem megfelelő és érzékenyek a különböző zavarokra. Ekkor született meg az emulált digitális CNN-UM-ek ötlete. Ezek a megoldások azonban lassúbbak analóg társaiknál. Az analóg és az emulált digitális CNN-UM-ek további hátránya, hogy csak egyes szomszédosságú template-eket (3\*3) képesek kezelni.

Az egyik ilyen alkalmazási területe a CNN-UM-eknek a nyomtatott áramkörök gyártásakor a különböző ellenőrzés, hibadetekció. A szakirodalom részletesen foglalkozik a különböző hibák detektálásával. A nyomtatott áramkörök gyártásában felhasználható két algoritmusom valós időben képes ellenőrizni a különböző gyártási folyamatokban lévő nyomtatott áramköröket. Így már a gyártás alatt kiszűrhetőek a hibás lapok. A jelenleg kereskedelmi forgalomban kapható automatikus vizuális ellenőrző rendszerek (AOI, Automatic Optical Inspection) digitális képfelismerő eljárásai körülményesen használhatók és igen drágák [30], [31], [32]. Az illesztési és rövidzár detektáló algoritmusaimat az iparból vett feladatokkal teszteltem.

A disszertációmban bemutatott, illetve a [1] publikált emulált digitális architektúra segítségével könnyen megoldhatóak akár a különböző parciális differenciálegyenletek, de egyszerűen futtatható a nagy pontosságot igénylő analogikai algoritmusok is. A mai analóg CNN-UM-ek pontosság és több rétegu viselkedés terén kívánnivalót hagynak maguk után. A disszertációmban rámutattam arra, hogy az eredeti emulált digitális architektúra optimalizálható akár a felhasznált szilícium felülete, akár futási idő szerint. Továbbá megoldást adtam arra is, hogy hogyan egészíthető ki optimálisan úgy, hogy az architektúra képes legyen használni egyes, illetve kettes szomszédosságú template-eket is. Ezzel a megoldással szintén sikerült csökkentenem a feldolgozási időt és növelnem a pontosságot, hiszen egy kettes szomszédosságú template használatánál nem kell alkalmaznunk template dekompozíciót [36]. A kutatásaim során eljárást adtam egy digitálisan emulált CNN-UM architektúra sebességnövelésére. Ezáltal ezek a digitálisan emulált CNN-UM-ek létjogosultsága nem megkérdőjelezhető, hiszen a feldolgozási sebességük összemérhető az analóg megoldásokéval, a pontosságuk viszont lényegesen jobb. Az aritmetika számos továbbfejlesztése felhasználásra került a "CASTLE I." néven "futó" emulált digitális chip-ben.

Az értekezésemben bemutatott eredmények teljes mértékben gyakorlati jelentőséggel bírnak mind a nyomtatott áramkörök (PCB) gyártásában, hibakeresésében, mind pedig az emulált digitális CNN-UM chip-ek tervezésében, tulajdonságainak jelentős javításában.

## V. Az értekezés témaköréhez kapcsolódó saját közlemények

### Folyóiratcikkek, SCI kiadványok

- [1] **T. Hidvégi**, P. Keresztes and P. Szolgay, "Enhanced Modified Analyzed Emulated Digital CNN-UM (CASTLE) Arithmetic Cores" Journal of Circuits, Systems, and Computers, special issue on "CNN Technology and Visual Microprocessors (*in print*)
- [2] **T. Hidvégi** "Optimized emulated digital CNN-UM (CASTLE) Architectures" Acta Cybernetica, 2002 (*submitted*)
- [3] **T. Hidvégi** and P. Szolgay "Some New Analogic CNN Algorithms for PCB Quality Control" International Journal of Circuit Theory and Applications, 30, pp. 231-245, 2002
- [4] **T. Hidvégi**, P. Szolgay "Short Circuit Detection on Printed Boards During the Manufacturing Process by Using an Analogic CNN Algorithms" IEA/AIE-2001 June 4-7, 2001 Budapest, Hungary
- [5] P. Keresztes, Á. Zarándy, T. Roska, P. Szolgay, T. Bezák, **T. Hidvégi**, P. Jónás and A. Katona, "An Emulated Digital CNN Implementation", *Journal of VLSI Signal Processing*, Special Issue: Spatiotemporal Signal Processing with Analogic CNN Visual Microprocessors, Vol.23. No.2/3. pp. 291-304, Kluwer, 1999

### Konferenciakiadványok

- [6] **T. Hidvégi**, "Optimized emulated digital CNN-UM (CASTLE) Architectures" Third Conference of PhD Students in Computer Science, Szeged, Hungary, (abstract) pp. 45, 2002
- [7] **T. Hidvégi**, P. Keresztes and P. Szolgay, "An Accelerated CNN-UM (CASTLE) Architecture by using the Pipe-Line Technique", Proc. of IEEE CNNA'02, Frankfurt, pp. 355-362, 2002
- [8] **T. Hidvégi** and P. Szolgay, "Some New Analogic CNN Algorithms for PCB Quality Control" Proc. of ECCTD'01 IEEE, European Conference on Circuit Theory and Design, Espoo, Finland, pp. I-365-368, 2001
- [9] **T. Hidvégi**, T. Bezák, P. Keresztes and P. Szolgay, "A re-configurable arithmetic of an emulated digital CNN-UM" Proc. of DDECS'01 IEEE, Gyor, Hungary, pp. 195-200, 2001
- [10] P. Szolgay, **T. Hidvégi**, Zsófia Szolgay and P. Kozma, "A comparison of the different CNN implementations in solving the problem of spatiotemporal dynamics in mechanical systems" 6th. Proc. of IEEE International Workshop on Cellular Neural Networks and Their Applications, CNNA2000, Vol. pp. 9-12,.



[11] **T. Hidvégi**, P. Szolgay and Á. Zarándy, „A New Type of Analogic CNN Algorithm for Printed Circuit Board Layout error Detection” Proc. of INES’99 IEEE, Stará Lesná, pp. 501-506, 1999.

[12] P. Keresztes, T. Bezák, Á. Zarándy, T. Roska, P. Szolgay, **T. Hidvégi**, P. Jónás and A. Katona, "Design methodology of an emulated digital CNUM chip", *Proc. of Engineering of Modern Electric Systems '99*, Oradea, 1999

#### Kutatási riportok

[13] **T. Hidvégi**, P. Keresztes and P. Szolgay, “Enhanced Modified Analyzed Emulated Digital CNN-UM (CASTLE) Arithmetic Cores” DNS-8-2002, Budapest, 2002

[14] **T. Hidvégi** and P. Szolgay, “Short Circuit Detection on Printed Circuit Boards during the manufacturing process by Using an Analogic CNN Algorithm” DNS-12-2000, Budapest, 2000

[15] **T. Hidvégi**, and P. Szolgay, “Misalignment Error Detection in Printed Circuit Board Fabrication Using an Analogic CNN algorithm” DNS-11-2000, Budapest, 2000

#### VI. Irodalomjegyzék

[16] L.O.Chua and L.Yang, “Cellular neural networks: Theory”, IEEE Trans. On Circuits and Systems, Vol.35, pp. 1257-1272, 1988.

[17] L.O.Chua and L.Yang, “Cellular neural networks: Applications”, IEEE Trans. On Circuits and Systems, Vol.35, pp. 1273-1290, 1988

[18] T.Roska and L.O.Chua, “The CNN Universal Machine: an analogic array computer”, IEEE Transactions on Circuits and Systems-II Vol.40, pp. 163-173, March, 1993

[19] T. Roska, P. Szolgay, Á. Zarándy, P. Venetianer, A. Radványi, T. Szirányi, “On a CNN chip-prototyping systems” Proc. of CNNA’94, Rome, pp. 375-380, 1994.

[20] Á. Zarándy “ACE Box: High-performance Visual Computer based on the ACE4k Analogic Array Processor Chip” Proc. of ECCTD’01, pp. I-361-364, 2001, Espoo, Finland

[21] R.Dominguez-Castro, S.Espejo, A.Rodriguez-Vazques, R.Carmona, P.Földesy, Á.Zarándy, P.Szolgay, T.Szirányi and T.Roska “A 0.8  $\mu\text{m}$  CMOS 2-D programmable mixed-signal focal-plane arrayprocessor with on-chip binary imaging and instructions storage” Vision Chip with Local Logic and Image Memory, IEEE J.

- [22] G. Linan, S. Espejo, R. Domínguez-Castro, A. Rodríguez-Vázquez "The CNNUC3: An Analog I/O 64\*64 CNN Universal Machine Chip Prototype with 7-bit Analog Accuracy" Proc. of CNNA '2000, Catania, pp. 201-206, 2000
- [23] G. Linan, S. Espejo, R. Domínguez-Castro, S. Espejo, A. Rodríguez-Vázquez "Design of a Large-Complexity Analog I/O CNNUC" Proc. of ECCTD '99, Stresa, pp. 42-57, 1999
- [24] G. Linan, R. Dominguez-Castro, S. Espejo, A. Rodriguez Vazquez " ACE16k: A Programmable Focal Plane Vision Processor with 128\*128 Resolution" Proc. of ECCTD'01, pp. I-345-348, 2001, Espoo, Finland
- [25] A. Paasio, A. Kananen, V. Porra "A 176\*144 processor binary I/O CNN-UM chip design" Proc. of ECCTD '99, Stresa, pp. 82-86, 1999
- [26] P. Szolgay, K. Tömördi, "Analogic algorithms for optical detection of breaks and short circuits on the layouts of printed circuit boards using CNN" International Journal of Circuit Theory and Applications 27, pp. 103-116, 1999
- [27] R. T. Chin, C. A. Harlow, "Automated Visual Inspection: A Survey", IEEE Trans. on Pattern Analysis and Machine Intelligence, Vol. PAMI-4, No. 6, pp. 557-573, (nov. 1982.)
- [28] A. M. Darwish, A. K. Jain, " A Rule Based Approach for Visual Pattern Inspection", IEEE Trans. on Pattern Analysis and Machine Intelligence, Vol. PAMI-10, No. 1, pp. 56-68, (Jan. 1988.)
- [29] Y. Hara, H. Doi, K. Karasaki, T. Iida, "A System for PCB Automated Inspection Using Flusorescent Light", IEEE Trans. on Pattern Analysis and Machine Intelligence, Vol. PAMI-10, No. 1, pp.69-78, (Jan. 1998.)
- [30] E. B. D. Lees and P. D. Hensshaw, "Printed circuit board inspection - a novel approach", SPIE - Automatic Inspection Measurements, 1986.
- [31] J. R. Mandeville, "Novel method for analysis of printed circuit images", IBM J. Res and Dev. Vol. 29, pp. 73-87, (1985.)
- [32] M. Moganti, F. Ercal, C. H. Dagli and S. Tsunekawa, "Automatic PCB Inspection Algorithms: a Survey", Computer vision and Image Understanding, Vol. 63, No. 2. pp. 287-313 (March 1995.)
- [33] M. Moganti, F. Ercal "A subpattern level inspection system for printed circuit boards", Computer vision and Image Understanding, Vol. 70, No. 1. pp. 51-62 (April 1998.)
- [34] A. Paasio , I Paakkulainen, J. Isoaho "A Compact Digital CNN Array for Video Segmentation System" Proc. of CNNA '2000, Catania, pp. 229-233, 2000

- [35] “CNN Software Library” in CADETWin, T. Roska, L. Kék, L. Nemes, A. Zarándy, M. Brendel, and P. Szolgay, Eds. Budapest, Hungary: Hungarian Academy of Sciences, 1998.
- [36] L. Kék and Á. Zarándy, “Implementation of Large-Neighborhood Nonlinear Templates on the CNN Universal Machine”, International Journal of Circuit Theory and Applications, Vol. 26, No. 6, pp. 551-566, 1998.
- [37] <http://www.xilinx.com>
- [38] <http://www.xess.com>
- [39] <http://www.intel.com>
- [40] <http://www.ti.com>
- [41] G. Almasi et al., “Cellular Supercomputing with System-On-A-Chip” IEEE Proc. of Solid-State Circuits Conference 2002, San Francisco
- [42] Zoltán Nagy, P. Szolgay "An emulated digital CNN-UM implementation on FPGA with programmable accuracy" DDECS'01 Győr, Hungary 18-20. April 2001.
- [43] Kai Hwang, “Computer Arithmetic Principles, Architecture, and Design” John Wiley & Sons, New York, 1979
- [44] P. Arató, T. Visegrády, I. Jankovits, Sz. Szigeti, “High-Level Synthesis of Pipelined Datapaths” Edited by P. Arató, Panem Budapest, 2000
- [45] B. Parhami, “Computer Arithmetic: Algorithms and Hardware Designs” New York, Oxford, Oxford University Press, 2000
- [46] Raul Camposano, Wayne Wolf, "High-Level VLSI Synthesis" Boston, Kluwer Academic Publishers, 1991
- [47] <http://www.austriamicrosystems.com/>
- [48] K.A.Wen, J.Y.Su and C.Y.Lu, “VLSI design of digital Cellular Neural Networks for image processing”, J. of Visual Communication and Image Representation, Vol.5, No.2, pp. 1117-126, 1994.
- [49] T. Ikenaga, T. Ogura, “ Discrete-time Cellular Neural Networks using highly-parallel 2D Cellular Automata CAM<sup>2</sup>” Proc. of Int. Symp. on Nonlinear Theory and its Applications, pp. 221-224, 1996.
- [50] M.D.Doan, M.Glesner, R. Chakrabaty, M. Heidenreich, S. Cheung, “Realisation of digital Cellular Neural Network for image processing”, Proc. of the IEEE CNNA'94, Rome, pp. 85-90, 1994.
- [51] CNAPS/PCI Parallel Co-processor, Adaptive Solutions Inc.

- [52] A. Zarandy, P. Keresztes, T. Roska, P. Szolgay "An emulated digital architecture implementing the CNN Universal Machine" proc. of the fifth IEEE Int. Workshop on Cellular Neural Networks and their Applications, London pp: 249-252, April, 1998.
- [53] Livermore MAGIC Release User's manual, PaloAlto, 1990.
- [54] CADENCE User's manual, 1999.
- [55] <http://www.cadence.com>
- [56] <http://www.siliconinterfaces.com/ServicesVLSI.htm>
- [57] P. Szolgay, I. Kispál, T. Kozek, "An experimental system for optical detection of layout errors using analog software on a dual CNN" DNS-14-1992
- [58] T. Roska, J. Hámmori, E. Lábos, K. Lotz, L. Orzó, J. Takács, P. Venetianer, Z. Vidnyánszky, and Á. Zarándy, "The Use of CNN Models in the Subcortical Visual Pathway", *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 40, pp. 182-195, March 1993.
- [59] Roska Tamás, "Neurális hálózatok és dinamikus processzor tömbök elmélete" előadás jegyzet, Budapest-Veszprém, 1988-1996
- [60] T. Szirányi and M. Csapodi, "Texture classification and Segmentation by Cellular Neural Network using Genetic Learning", *Computer Vision and Image Understanding*, Vol. 71, No. 3, pp. 255-270, September 1998.
- [61] K. R. Crounse, T. Roska and L. O. Chua, "Image halftoning with Cellular Neural Networks", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 40, No. 4, pp. 267-283, 1993.
- [62] L. O. Chua, T. Roska, P. L. Venetianer and Á. Zarándy, "Some Novel Capabilities of CNN: Game of Life and Examples of Multipath Algorithms", *Proceedings of the International Workshop on Cellular Neural Networks and their Applications (CNNA-92)*, pp. 276-281, Munich, 1992.
- [63] Dunay Rezso, Horváth Gábor, Pataki Béla, Strausz György, Szabó Tamás, Várkonyiné Kóczy Annamária, "Neurális hálózatok és muszaki alkalmazásaik", Muegyetemi Kiadó, Budapest, 1998.
- [64] L. O. Chua, T. Roska and P. L. Venetianer, "The CNN is universal as the Turing machine," *IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications*, 40(4), 289-291, April 1993.
- [65] Sz. Tokés, L. Orzó and T. Roska, "Design Aspects of an Optical Correlator Based CNN implementation" *Proceeding of ECCTD'01 "Circuit Paradigm in the 21st Century"*, held in Espoo, Finland, 28-31 August, 2001.
- [66] S. Tokés, L.R. Orzó, G. Váró, A. Dér, P. Ormos and T. Roska, "Programmable

Analogic Cellular Optical Computer using Bacteriorhodopsine as Analog Rewritable Image Memory", NATO Book: "Bioelectronic Applications of Photochromic Pigments" (Eds.: L. Keszthelyi, J. Stuart and A. Der) IOS Press, Amsterdam, Netherlands, pp 54-73. 2000

[67] <http://www.modelsim.com>

[68] Á. Zarándy, T. Roska, P. Szolgay, S. Zöld, P. Földesy and I. Petrás, "CNN chip Prototyping and Development Systems", European Conference on Circuit Theory and Design - ECCTD'99, Stresa, Italy, 1999.

[69] I. Szatmári, Á. Zarándy, P. Földesy and L. Kék, "An Analogic CNN Engine Board with the 64\*64 Analog I/O CNN-UM Chip", 2000 IEEE International Symposium on Circuits and Systems (ISCAS-2000), May 28 - May 31, 2000, pp. 395-400, Geneva, Switzerland.





